

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of

Junichi SUZUKI et al.

Conf.

Application No. NEW NON-PROVISIONAL

Group

Filed April 13, 2004

Examiner

METHOD OF FABRICATING SEMICONDUCTOR MEMORY DEVICE

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

April 13, 2004

Sir:

Applicant(s) herewith claim(s) the benefit of the priority filing date of the following application(s) for the above-entitled U.S. application under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2003-112449	April 17, 2003

Certified copy(ies) of the above-noted application(s) is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



Benoit Castel, Reg. No. 35,041
745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297
Telefax (703) 685-0573
703) 979-4709

BC/ia

Attachment(s): 1 Certified Copy(ies)



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 1 7 日
Date of Application:

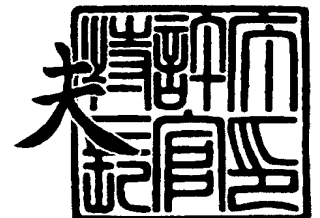
出 願 番 号 特 願 2 0 0 3 - 1 1 2 4 4 9
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 1 2 4 4 9]

出 願 人 N E C エレクトロニクス株式会社
Applicant(s):

2 0 0 4 年 3 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 5 5 0 9

【書類名】 特許願

【整理番号】 75020001

【提出日】 平成15年 4月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8247

【発明の名称】 半導体記憶装置の製造方法

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレクトロニクス株式会社内

【氏名】 鈴木 潤一

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレクトロニクス株式会社内

【氏名】 金森 宏治

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100081433

【弁理士】

【氏名又は名称】 鈴木 章夫

【手数料の表示】

【予納台帳番号】 007009

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0216537

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置の製造方法

【特許請求の範囲】

【請求項 1】 フローティングゲートとコントロールゲートとを備えるスタックゲート型不揮発性半導体記憶装置において、半導体基板に区画した素子形成領域にトンネル絶縁膜を形成する工程と、前記トンネル絶縁膜上に不純物を導入したシリコン膜を形成する工程と、前記シリコン膜の表面に保護膜を形成する工程と、前記保護膜上に積層ハードマスクの下層膜と上層膜を順次積層する工程と、前記上層膜を所要のパターンに形成する工程と、前記上層膜のパターン上に第 2 の上層膜を形成する工程と、前記第 2 の上層膜をエッチングして前記第 1 の上層膜の側面にのみ残す工程と、前記第 1 及び第 2 の上層膜をマスクにして前記下層膜をエッチングする工程と、前記下層膜をマスクにして前記シリコン膜をエッチングしてシリコンパターンを形成する工程と、露呈された前記シリコンパターンの表面を覆う第 2 の保護膜を形成する工程と、前記下層膜をエッチング除去する工程とを含むことを特徴とする半導体記憶装置の製造方法。

【請求項 2】 前記下層膜をエッチング除去した工程の後、前記シリコンパターンの表面に存在する保護膜を除去する工程と、前記シリコンパターンの表面に容量絶縁膜を形成する工程と、前記容量絶縁膜上に導電膜を形成する工程と、前記導電膜、前記容量絶縁膜、前記シリコンパターンを順次所要のパターンにエッチングして前記導電膜でコントロールゲートを形成し前記シリコンパターンでフローティングゲートを形成する工程とを含むことを特徴とする請求項 1 に記載の半導体記憶装置の製造方法。

【請求項 3】 前記シリコン膜はポリシリコン膜あるいは金属ポリサイド膜であることを特徴とする請求項 1 又は 2 に記載の半導体記憶装置の製造方法。

【請求項 4】 前記下層膜はシリコン窒化膜であり、前記第 1 及び第 2 の上層膜はシリコン酸化膜であることを特徴とする請求項 3 に記載の半導体記憶装置の製造方法。

【請求項 5】 前記保護膜は前記ポリシリコン膜の表面を熱処理した熱シリコン酸化膜であることを特徴とする請求項 1 ないし 4 のいずれかに記載の半導体

記憶装置の製造方法。

【請求項 6】 前記シリコン窒化膜をリン酸溶液によりエッチング除去することを特徴とする請求項 1 ないし 5 のいずれかに記載の半導体記憶装置の製造方法。

【請求項 7】 前記シリコン窒化膜の膜厚は、前記第 1 の上層膜をエッチングする際に当該シリコン窒化膜がエッチングされる厚さと、前記ポリシリコン膜をエッチングする際に当該シリコン窒化膜がエッチングされる厚さの合計よりも厚く形成することを特徴とする請求項 6 に記載の半導体記憶装置の製造方法。

【請求項 8】 前記第 1 の上層膜の膜厚は前記第 2 の上層膜の膜厚よりも厚いことを特徴とする請求項 7 に記載の半導体記憶装置の製造方法。

【請求項 9】 前記第 1 の上層膜の膜厚は前記第 2 の上層膜の膜厚の 2 倍以上の膜厚であることを特徴とする請求項 8 に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はフローティングゲートとコントロールゲートを備えるスタックゲート型不揮発性メモリセルを含む半導体記憶装置の製造方法に関するものである。

【0002】

【従来の技術】

近年メモリカード等に用いられるフラッシュメモリ等の半導体記憶装置は、メモリセルがフローティングゲートとコントロールゲートを積層した MOS 構造のスタックゲート型不揮発性のメモリセルで構成されている。この種のメモリセルではフローティングゲートの直下に存在するトンネル酸化膜を通してフローティングゲートに電荷を蓄積し、あるいは蓄積した電荷を除去することでメモリセルにおけるしきい値を変化させ、データの記録、消去のいわゆるプログラミングを行っている。このプログラミングを好適に行うため、特に消去特性を高速化また消去電圧を低電圧化するためにはフローティングゲートとコントロールゲートとの間の容量（キャパシタ）を増加させることが好ましいことが知られており、その一つとしてこれらのゲートの対向面積をできるだけ大きくすることが試みられ

ている。

【0003】

しかしながらメモリ容量の増大の要求に伴ってメモリセルの配列ピッチも縮小される傾向にあり、この制約された配列ピッチ内でフローティングゲートの面積を可及的に大きくするときには隣接するフローティングゲートとの間隔を狭くせざるを得ないが、フローティングゲートを製造する際のフォトリソグラフィ技術の分解能との関係でその実現は困難である。この問題を解決するために、特許文献1ではフローティングゲートをフォトリソグラフィ技術で製造する際のマスク（ハードマスクと称する）の両側面にスペーサを形成し、このスペーサにより隣接するハードマスクの間隔を狭め、このハードマスクを利用してフローティングゲートをパターン形成することでフローティングゲートの面積を実質的に大きくした技術が提案されている。

【0004】

【特許文献1】 特開2000-40754号公報

【0005】

特許文献1で提案されている技術を図9及び図10に示す。これらの図はMOS構造をしたメモリセルのチャネル方向の断面図である。以下、工程順に説明すると、先ず、図9（a）のように、シリコン基板200に素子分離絶縁膜201を形成して素子形成領域を区画した後、素子形成領域のシリコン基板200の表面にトンネル酸化膜202を形成する。次いで、全面にフローティングゲートを形成するための第1ポリシリコン膜203、保護膜としてのシリコン窒化膜204、マスク膜としての第2ポリシリコン膜205を積層し、その上にフローティングゲートをパターン形成するためのフォトレジストパターン206を形成する。このフォトレジストパターン206は隣接するパターンの間隔をフォトリソグラフィ技術の分解能の限界に近い寸法まで小さいものにする。

【0006】

次いで、フォトレジストパターン206を用いて図9（b）のように、第2ポリシリコン膜205を選択的にエッチングして第2のポリシリコンパターン205aを形成し、フォトレジストパターンを除去した後、全面に第3のポリシリコ

ン膜 207 を形成する。そして、この第 3 のポリシリコン膜 207 を異方性のあるドライエッチングすることにより、第 2 のポリシリコンパターン 205 a の側面に第 3 のポリシリコンサイドウォール 207 a を形成する。これにより、第 2 のポリシリコンパターン 205 a と第 3 のポリシリコンサイドウォール 207 a とでハードマスクが形成され、このハードマスクは隣接するハードマスクとの間隔がフォトリソグラフィ技術の分解能以下の寸法となる。

【0007】

次いで、図 9 (c) のように、第 2 のポリシリコンパターン 205 a 及び第 3 のポリシリコンサイドウォール 207 a からなるハードマスクを用いて保護膜 204 をドライエッチングし保護膜パターン 204 a を形成する。続いて、図 10 (a) のように、エッチャーを変えて第 1 のポリシリコン膜 203 をドライエッチングして第 1 のポリシリコン膜パターン 203 a を形成する。このとき、第 2 のポリシリコンパターン 205 a 及び第 3 のポリシリコンサイドウォール 207 a は当該ドライエッチングにより除去され、第 1 のポリシリコン膜 203 は保護膜パターン 204 a をマスクにしてエッチングされる。したがって、第 1 のポリシリコン膜パターン 203 a もフォトリソグラフィ技術の分解能以下の間隔にパターン形成される。次いで、保護膜パターン 204 a をウェットエッチングにより除去する。

【0008】

その後、図 10 (b) のように、第 1 のポリシリコン膜パターン 203 a 上に容量絶縁膜 208 を形成し、さらにその上に第 4 のポリシリコン膜 209 を形成する。以下、図示は省略するが、第 4 のポリシリコン膜 209 の上にフォトレジストパターンを形成し、これをマスクにして第 4 のポリシリコン膜 209、容量絶縁膜 208、第 1 のポリシリコン膜パターン 203 a を順次エッチングすることで、第 4 のポリシリコン膜 209 でコントロールゲートとしてのワード線が形成され、第 1 のポリシリコン膜パターン 203 a でフローティングゲートが形成される。さらに、これらゲートをマスクにして自己整合法によって素子形成領域に N 型の不純物をイオン注入し、ソース領域及びドレイン領域を形成することでメモリセルが製造される。

【0009】

【発明が解決しようとする課題】

特許文献1の技術では、第1のポリシリコン膜203をエッチングした後にその上の保護膜204を好適にエッチング除去するために、第1のポリシリコン膜203をノンドーパポリシリコンで形成している。これは第1のポリシリコン膜203に導電性をもたせるために不純物をドーパしたドーパトポリシリコンを使用すると、保護膜204のエッチング時に第1のポリシリコン膜203の表面にダメージを受け易く、このダメージがそのままフローティングゲートの表面に残されることを防止するためである。しかしながら、本発明者の検討によれば第1のポリシリコン膜203をノンドーパポリシリコンで形成した場合でも保護膜204をエッチングする際のエッチング液が直接第1のポリシリコン膜203の表面に接すると多少のダメージが生じることは避けられないことが判明した。このようなダメージは、最終的に製造されるフローティングゲートの表面に凹凸を発生させ、当該フローティングゲートの膜厚の均一性に大きな影響を与えることになり、結果としてフローティングゲートにおける電荷の蓄積量のばらつき、すなわち個々のメモリセルにおけるフローティングゲートの容量のばらつきが生じ、各メモリセルにおいて電荷の消去特性を高速化また消去電圧を低電圧化した半導体記憶装置を得ることができなくなる。

【0010】

また、このように第1のポリシリコン膜203にノンドーパポリシリコンを用いているために、図10(a)の工程でパターン形成した後に当該第1のポリシリコン膜203に対して不純物をドーピングする工程が必要であり、第1のポリシリコン膜203を最初からドーパトポリシリコンで形成した場合に比較して製造工程数が増加することは避られない。さらに、保護膜204をパターン形成する際のハードマスクとして第2及び第3のポリシリコン膜205, 207を使用しているため、これらのポリシリコン膜をエッチングした際に保護膜204の表面にポリシリコンの一部がデポジションとして残存し、残存したポリシリコンがその後の保護膜204の好適なエッチングを阻害してしまう。極端な場合には製造されたフローティングゲートの表面に保護膜のエッチング残りが生じ、容量絶

縁膜を形成する際の異物となって均一かつ良質な容量絶縁膜を形成することができず、コントロールゲートとの間のキャパシタの値を増大する際の障害になる。

【0 0 1 1】

本発明の目的は、ドーフトポリシリコンを用いてフローティングゲートを形成した場合でもフローティングゲートの表面におけるダメージを防止し、メモリセルにおける好適なプログラミングを可能にするとともに製造工程を削減することが可能な半導体記憶装置の製造方法を提供するものである。

【0 0 1 2】

【課題を解決するための手段】

本発明の半導体記憶装置の製造方法は、半導体基板に区画した素子形成領域にトンネル絶縁膜を形成する工程と、トンネル絶縁膜上に不純物を導入したシリコン膜を形成する工程と、シリコン膜の表面に保護膜を形成する工程と、保護膜上に積層ハードマスクの下層膜と上層膜を順次積層する工程と、上層膜を所要のパターンに形成する工程と、上層膜のパターン上に第2の上層膜を形成する工程と、第2の上層膜をエッチングして第1の上層膜の側面にのみ残す工程と、第1及び第2の上層膜をマスクにして下層膜をエッチングする工程と、下層膜をマスクにしてシリコン膜をエッチングしてシリコンパターンを形成する工程と、露呈されたシリコンパターンの表面を覆う第2の保護膜を形成する工程と、下層膜をエッチング除去する工程とを含むことを特徴とする。

【0 0 1 3】

また、本発明においては、下層膜をエッチング除去した工程の後、シリコンパターンの表面に存在する保護膜を除去する工程と、シリコンパターンの表面に容量絶縁膜を形成する工程と、容量絶縁膜上に導電膜を形成する工程と、導電膜、容量絶縁膜、シリコンパターンを順次所要のパターンにエッチングして導電膜でコントロールゲートを形成してシリコンパターンでフローティングゲートを形成する工程とを含むことが好ましい。

【0 0 1 4】

さらに、本発明においては次の特徴を備えることが好ましい。

(1) シリコン膜はポリシリコン膜あるいは金属ポリサイド膜で構成する。

(2) 下層膜はシリコン窒化膜であり、第1及び第2の上層膜はシリコン酸化膜で構成する。

(3) 保護膜はポリシリコン膜の表面を熱処理した熱シリコン酸化膜で構成する。

(4) シリコン窒化膜をリン酸溶液によりエッチング除去する。

【0015】

また、本発明においては、シリコン窒化膜の膜厚は、第1の上層膜をエッチングする際に当該シリコン窒化膜がエッチングされる厚さと、ポリシリコン膜をエッチングする際に当該シリコン窒化膜がエッチングされる厚さの合計よりも厚く形成することが好ましい。この場合、第1の上層膜の膜厚は第2の上層膜の膜厚よりも厚くする。特に、第1の上層膜の膜厚は第2の上層膜の膜厚の2倍以上の膜厚とする。

【0016】

本発明によれば、フォトリソグラフィ技術の分解能以下の寸法でフローティングゲートを製造することが可能になり、スタックゲート型不揮発性半導体記憶装置の消去特性の高速化及び消去電圧の低電圧化を図り、メモリセルのプログラミングを好適に行うことが可能になる。また、シリコン膜を覆う保護膜を形成することで、積層ハードマスクの下層膜をエッチング除去する際にシリコン膜の表面にダメージを受けることがなく、高い品質のフローティングゲートを製造することが可能になり、しかも、シリコン膜として不純物を導入したシリコン膜を用いることが可能になり製造工程が削減できる。

【0017】

また、本発明によれば、とくに、積層ハードマスクを形成するための第1の上層膜の膜厚を第2の上層膜よりも厚く形成することで、第2の上層膜により形成するサイドウォールの寸法精度を高め、フローティングゲートの寸法精度を高めることが可能になる。特に、第1の上層膜の膜厚を第2の上層膜の膜厚の2倍以上とすることで、サイドウォールの寸法精度を極めて高いものにでき、フローティングゲートを極めて高精度に製造することが可能になる。

【0018】

【発明の実施の形態】

次に、本発明の実施形態を図面を参照して説明する。図1は本発明の製造方法で製造する半導体記憶装置の回路図である。フローティングゲート及びコントロールゲートを有する多数個のスタックゲート型のメモリセルMでフラッシュメモリFMが構成されており、多数個のメモリセルMはマトリクス配置され、行方向に配列された複数のメモリセルのコントロールゲートCGは行方向に延びるワード線Wにそれぞれ接続される。また、列方向に配列された複数のメモリセルは隣接するメモリセルのソース領域S又はドレイン領域Dが共通ソース領域又は共通ドレイン領域として構成されている。そして、行方向に配列されたメモリセルの各共通ソース領域Sは行方向に延長され、所要の行方向の間隔で配置されるソースコンタクトSCによってGNDに接続される。また、各共通ドレイン領域DにはそれぞれドレインコンタクトDCが配設されており、列方向に配列されたドレインコンタクトは列方向に延びるビット線Bにそれぞれ接続されている。

【0019】

図2は図1のフラッシュメモリの回路に対応する平面レイアウト図である。シリコン基板100には素子分離領域101が格子状に形成されて素子形成領域102が区画されており、この素子形成領域102上を行方向にわたってコントロールゲートCGとしても構成されるワード線Wが延長されている。また、素子形成領域102上にはワード線Wの直下にフローティングゲートFGが島状に形成され、このフローティングゲートFGの直下をチャネル領域とし、その列方向の両側にソース領域Sとドレイン領域Dの各拡散層が形成され、それぞれメモリセルMが構成されている。行方向に隣接配置されているメモリセルはソース領域Sが共通化され、共通ソース領域の一部には前記ソースコンタクトSCが配置される。また、列方向に隣接するメモリセルの各共通ドレイン領域Dにはビット線Bに接続するためのビットコンタクトBCが配置されている。

【0020】

図3(a), (b)は図2のAA線、BB線に沿う断面図である。一導電型、例えばP型シリコン基板100の表面には浅い溝111が形成されており、この浅い溝内に絶縁膜112が埋設されて前記素子分離領域102を構成する素子分

離絶縁膜 113、すなわち STI が形成され、前記素子形成領域 102 を区画している。前記 STI 113 で区画された前記 P 型シリコン基板 100 の素子形成領域 102 の表面には膜厚 10 nm の熱シリコン酸化膜からなるトンネル酸化膜 114 が形成され、このトンネル酸化膜 114 上にリン等の不純物をドーピングした膜厚 120 nm 程度のポリシリコンからなるフローティングゲート FG が形成されている。このフローティングゲート FG は行方向に隣接するゲートが互いに短絡することがない寸法で可及的に長く形成されておりその両端部は素子形成領域 102 から前記 STI 113 の一部領域上にまで延長されている。また、前記素子形成領域 102 内の前記フローティングゲート FG を列方向に挟んだ領域には N 型の不純物が導入され、それぞれソース領域 S、ドレイン領域 D が形成されている。

【0021】

前記フローティングゲート FG の表面を含む前記シリコン基板の表面にはシリコン酸化膜／シリコン窒化膜／シリコン酸化膜を 5 nm／5 nm／9 nm の膜厚に順次積層したいわゆる ONO 膜 116 が容量絶縁膜として形成されている。そして、この容量絶縁膜 116 上には行方向に隣接する複数のフローティングゲート FG 上にわたって行方向に延長されたコントロールゲート CG がワード線 W として形成される。このコントロールゲート CG は膜厚 160 nm 程度の導電性をもったポリシリコンにより形成されている。なお、図 3 においては図示は省略するが、前記ワード線 W 上には層間絶縁膜が形成され、この層間絶縁膜上には図 2 に示したように前記ソース領域 S にビット線コンタクト SC を介して接続されるビット線 B が形成されて図 1 の回路が構成されている。

【0022】

次に以上の構成の半導体記憶装置の製造方法を図 4～図 6 を参照して説明する。なお、これらの図は図 3 (a) に示した AA 線に沿う断面構造を示している。まず、図 4 (a) に示すように、P 型シリコン基板 100 に STI 113 を形成し、素子形成領域 102 を区画する。STI 113 の製造方法は既に広く知られているが、簡単に説明すれば、シリコン基板 100 の表面にフォトリソストを利用して選択的に浅い溝 111 を格子状に形成し、CVD 法等によって当該浅い溝

111を埋設するのに十分なシリコン酸化膜112を堆積する。そして、表面からCMP法（化学的機械研磨法）によってシリコン基板100の表面が露出するまで堆積したCVDシリコン酸化膜112を研磨することにより、浅い溝111内にのみCVDシリコン酸化膜112が埋設されたSTI113が形成される。

【0023】

次いで、前記シリコン基板100の表面を熱酸化し、熱シリコン酸化膜を成長して膜厚10nmのトンネル酸化膜114を形成する。さらに、その上にCVD法によりリンを含む第1のポリシリコン膜（ドーフトポリシリコン）115を膜厚120nmに成長する。次いで、第1のポリシリコン膜115の表面を熱酸化して膜厚2nm程度の極めて薄いシリコン酸化膜を保護膜121として形成する。その上にハードマスクを形成するために積層マスク膜を形成する。ここでは下層膜として少なくとも膜厚が30nm、ここでは50nmのシリコン窒化膜122をCVD法によって成長する。また、上層膜として不純物を添加していないシリコン酸化膜、いわゆるNSG膜123をCVD法によって150nm以上の膜厚に形成する。

【0024】

次いで、前記NSG膜123上にフローティングゲート形成用のフォトレジストパターン（PRパターン）124を形成する。このフォトレジストパターン124は形成しようとするフローティングゲートFGの面積が可及的に大きくなるように、行方向に隣接するフォトレジストパターン同士の間隔がフォトリソグラフィ技術の分解能の限界に近い寸法まで小さく形成する。そして、図4（b）のように、このフォトレジストパターン124を利用して前記マスク膜の上層膜のNSG膜123をエッチングする。このとき下層膜のシリコン窒化膜122は表面が若干エッチングされるが、NSG膜123のエッチングストップとして機能する。その後、前記フォトレジストパターン124は除去する。

【0025】

次いで、図4（c）のように、全面にCVD法により第2のNSG膜125を60nm程度の厚さに成長する。この第2のNSG膜125は前記積層マスク膜の上層膜のNSG膜（以下、第1のNSG膜と称する）123と一体化される。

そして、この第2のNSG膜125をプラズマエッチング等によりドライエッチングすると、図5(a)のように、その異方性エッチングによって第1のNSG膜123の両側面には第2のNSG膜125がサイドウォール125aとして残される。この残されたサイドウォール125aが一体化された第1のNSG膜123のパターン寸法は行方向の両側に向けてサイドウォール125aの膜厚分だけ増大されたことになり、これにより行方向に隣接するパターンの相互の間隔はフォトリソグラフィ技術の分解能よりも短い寸法になる。また、このドライエッチングにより下層膜のシリコン窒化膜122が第1のNSG膜123及びサイドウォール125aを合わせたパターンと同一寸法にエッチングされる。

【0026】

次いで、図5(b)のように、前記第1のNSG膜123及びサイドウォール125aをウェットエッチングにより除去する。次いで、残されたシリコン窒化膜122をマスクにして保護膜121をエッチングし、続いて第1のポリシリコン膜115をドライエッチングし、シリコン窒化膜122と同じパターンに形成する。これにより、図5(c)のように、第1のポリシリコン膜パターン115aが形成される。このとき積層ハードマスクとして機能するシリコン窒化膜122もある程度エッチングされ、その膜厚が低減される。エッチング後は700℃程度の低温で熱酸化して露呈されている第1のポリシリコン膜パターン115aの側面に薄い熱シリコン酸化膜126を形成する。しかる後、マスクに用いたシリコン窒化膜122をリン酸溶液でウェットエッチングする。このとき、第1のポリシリコン膜パターン115aは上面に形成されている保護膜121としての熱シリコン酸化膜と側面に形成されている薄い熱シリコン酸化膜126とによって保護され、リン酸溶液によってダメージを受けることが防止される。また、このリン酸溶液によるエッチングを十分に行うことで、シリコン窒化膜122の一部が残渣として第1のポリシリコン膜パターン115a上に残されることが防止される。

【0027】

次いで、図6(a)のように、第1のポリシリコン膜パターン115aの上面に露出された熱シリコン酸化膜121と、第1のポリシリコン膜パターン115

aの側面に形成されている薄い熱シリコン酸化膜126をウェットエッチングし、第1のポリシリコン膜パターン115aの表面を露出する。このように形成された第1のポリシリコン膜パターン115aは、前記ハードマスクとしてのシリコン窒化膜122と同じパターン形状、すなわち第1及び第2のNSG膜123, 125を含んで構成されていた積層ハードマスクのパターン形状に形成されるため、行方向に隣接する第1のポリシリコン膜パターン115aの相互の間隔は第2のNSG膜125で構成されたサイドウォールの膜厚に相当する寸法だけフォトリソグラフィ技術の分解能よりも小さい間隔寸法に形成されることになる。

【0028】

次いで、図6(b)のように、第1のポリシリコン膜パターン115a及びシリコン基板100の表面を含む全面に容量絶縁膜としてのONO膜116をCVD法により形成し、さらにその上に第2のポリシリコン膜117を形成する。このONO膜116はシリコン酸化膜、シリコン窒化膜、シリコン酸化膜を順次CVD法により所要の膜厚に積層形成する。ここでは、前述のように5nm/5nm/9nmの膜厚に形成する。

【0029】

そして、前記第2のポリシリコン膜117上に素子形成領域102を含む領域において、図には表れない行方向に所要の間隔をおいて列方向に延びるフォトレジストパターンを形成し、このフォトレジストパターンを用いて前記第2のポリシリコン膜117、ONO膜116、第1のポリシリコン膜パターン115aを順次エッチングする。これにより、第2のポリシリコン膜117によりコントロールゲートCGとしてのワード線Wが形成され、このワード線Wの直下にONO膜116を介して第1のポリシリコン膜パターン115aによりフローティングゲートFGが形成される。

【0030】

しかる後、図3(b)を併せて参照すると、前記ワード線Wをマスクにして素子形成領域102のシリコン基板100の表面に砒素等のN型不純物をイオン注入し、N型のソース領域S及びドレイン領域Dを形成する。その後、全面に層間絶縁膜118を形成し、この層間絶縁膜118にソース領域Sに達するコンタク

トホールを開口し、導電材料を埋設してコンタクトプラグ 119 を形成した後に、層間絶縁膜 118 上に列方向に延長されるビット線 B を形成し当該コンタクトプラグ 119 を介してソース領域に接続する。これにより、図 2 に示したレイアウト構造のメモリセルが完成される。

【0031】

以上の製造工程によりメモリセルを製造すると、図 5 (a) の工程において、積層ハードマスク膜として第 1 の NSG 膜 123 のパターンをフォトリソグラフィ技術の分解能の限界に近い寸法で形成した場合でも、第 1 の NSG 膜 123 のパターンの両側に第 2 の NSG 膜 125 でサイドウォール 125a を形成した積層ハードマスクを形成することになるため、隣接する積層ハードマスクの間隔を当該分解能以下に狭めることができ、その分積層ハードマスクによって形成されるフローティングゲート FG の行方向のサイズが拡大できる。これにより、フローティングゲート FG がコントロールゲート CG に対向する面積を増大して両者間でのキャパシタを増大し、好適なプログラミングが可能なメモリセルが製造できる。

【0032】

また、第 1 のポリシリコン膜 115 上には保護膜 121 として熱シリコン酸化膜を形成しておき、その上に積層ハードマスクの下層膜としてのシリコン窒化膜 122 を形成していること、並びに図 5 (c) の工程において、積層ハードマスクにより第 1 のポリシリコン膜 115 をエッチングして形成された第 1 のポリシリコン膜パターン 115a の露出した側面に薄い熱シリコン酸化膜 126 を形成していることにより、第 1 のポリシリコン膜パターン 115a を形成した後にシリコン窒化膜 122 をエッチング除去する際に、エッチング液としてのリン酸溶液が第 1 のポリシリコン膜パターン 115a の表面に接することがなく、第 1 のポリシリコン膜パターン 115a の表面へのダメージが防止できる。したがって、最終的に製造されるフローティングゲート FG においては表面にダメージを受けることがなく、均一かつ平坦な表面が維持されて安定かつ均一なキャパシタ値が得られることになる。

【0033】

これと同時に、第1のポリシリコン膜115としてドーフトポリシリコンを使用してもダメージを受けることがないので、ノンドーフトポリシリコンを用いた場合のように後工程で不純物を導入する工程が不要であり、製造工程を削減することが可能になる。また、前の工程で積層ハードマスクの上層膜である第1及び第2のNSG膜123, 125をエッチング除去したときにNSG膜の一部が異物（デポジション）としてシリコン窒化膜122の表面に残存した場合、あるいは第1のポリシリコン膜115をエッチングした際のポリシリコンの一部が異物としてシリコン窒化膜122の表面に付着した場合、等のいずれの場合でも、図5（c）の工程においてシリコン窒化膜122のエッチングを十分に行うことで当該異物を確実に除去することが可能になり、この工程が終了した時点においてシリコン窒化膜122のエッチング残りが生じることがなく、その後の図6（b）の工程において形成するONO膜116を均一かつ良品質に形成することも可能になる。

【0034】

さらに、この実施形態では、積層ハードマスクの下層膜としてのシリコン窒化膜122の膜厚を少なくとも50nm以上とし、またその上の第1のNSG膜の膜厚を150nmとし、第1のポリシリコン膜115の膜厚を120nmとしている。このように膜厚及び膜厚範囲を設定することにより、図7（a）に模式的に示すように、シリコン窒化膜122の膜厚は、第1のNSG膜123をエッチングする際にシリコン窒化膜122の表面がエッチングされるエッチング量（ほぼ10nm）と、当該シリコン窒化膜122をマスクとして第1のポリシリコン膜115をエッチングする際に当該シリコン窒化膜122がエッチングされるエッチング量（ほぼ20nm）とを合計した量よりも厚い膜厚となるため、これらの工程を経た時点でも、図7（b）のように、シリコン窒化膜122は確実に第1のポリシリコン膜115上に残存されており、当該第1のポリシリコン膜115を目的とする寸法形状のパターンに確実にエッチング形成することが可能になる。特に、第1のNSG膜123をエッチングしたときとときにシリコン窒化膜122がエッチングされる部分はパターン形成される第1のポリシリコン膜パターン115aの両肩部に相当するため、前述の膜厚に設定することでシリコン窒

化膜 1 2 2 の両肩に生じる段部での膜厚を保持し、形成される第 1 のポリシリコン膜パターン 1 1 5 a の寸法にばらつきが生じることが未然に防止できる。

【 0 0 3 5 】

また、この実施形態では、前記積層ハードマスクの上層膜としての第 1 の N S G 膜 1 2 3 の膜厚を 1 5 0 n m とし、その上に形成してサイドウォールを形成するための第 2 の N S G 膜の膜厚を 6 0 n m としている。このように、第 1 の N S G 膜 1 2 3 の膜厚を第 2 の N S G 膜 1 2 5 の膜厚の 2 倍以上にすることにより、図 8 (a) に破線で示すように、第 1 の N S G 膜 1 2 3 の側面に成長される第 2 の N S G 膜 1 2 5 の側面が垂直面として形成されるようになる。そのため、同図に実線で示すように、第 2 の N S G 膜 1 2 5 を異方性エッチングしてサイドウォール 1 2 5 a を形成したときに、第 2 の N S G 膜 1 2 5 の垂直な側面でのエッチングが抑制でき、第 2 の N S G 膜 1 2 5 の側面がエッチングされて水平方向に後退することが防止できる。これにより下層膜のシリコン窒化膜 1 2 2 からなるハードマスクの寸法のばらつきを防止する。このことは、少なくとも第 1 の N S G 膜 1 2 3 の膜厚が第 2 の N S G 膜の膜厚の 1 倍以上あれば理論的には第 2 の N S G 膜の側面がエッチングによって後退することが抑制できるが、本実施形態のように 2 倍以上あれば確実に抑制することが可能である。因みに、第 1 の N S G 膜 1 2 3 の膜厚が第 2 の N S G 膜 1 2 5 の膜厚よりも薄い場合には、図 8 (b) に示すように、第 2 の N S G 膜 1 2 5 の側面はテーパ状になり、その後のエッチングによりサイドウォール 1 2 5 a を形成する際に第 2 の N S G 膜 1 2 5 の側面が後退してしまい、サイドウォール 1 2 5 a を利用することによるフォトリソグラフィ技術の分解能以下でのゲート間寸法を得ることは困難になる。

【 0 0 3 6 】

以上の説明において本発明は特に積層ハードマスクを形成するための上層膜として、前記実施形態の N S G 膜に代えて他の材料膜を使用することも可能である。特に、下層膜とのエッチング選択性のある材料膜であればよく、本実施形態では下層膜がシリコン窒化膜であるため N S G 膜を使用しているが、例えばポリシリコン膜であってもよい。また、下層膜としてシリコン窒化膜以外の材料膜を使用した場合には上層膜をさらに他の材料膜で形成することも可能である。また、

フローティングゲートやコントロールゲートを構成するシリコン膜はポリシリコン膜に限られるものではなく、ポリサイド膜や金属シリサイド膜を用いることも可能である。

【0 0 3 7】

【発明の効果】

以上説明したように本発明は、フローティングゲートを形成するためのシリコン膜の表面に保護膜を形成し、この上に積層ハードマスクの下層膜と上層膜を順次積層し、さらに上層膜を所要のパターンに形成した上に第2の上層膜でサイドウォールを形成し、このサイドウォールを利用してシリコン膜をエッチングしてシリコンパターンを形成する工程を含んでいるので、フォトリソグラフィ技術の分解能以下の寸法でフローティングゲートを製造することが可能になり、スタックゲート型不揮発性半導体記憶装置の消去特性の高速化及び消去電圧の低電圧化を図り、メモリセルのプログラミングを好適に行うことが可能になる。また、シリコン膜を覆う保護膜を形成することで、積層ハードマスクの下層膜をエッチング除去する際にシリコン膜の表面にダメージを受けることがなく、高い品質のフローティングゲートを製造することが可能になり、しかも、シリコン膜として不純物を導入したシリコン膜を用いることが可能になり製造工程が削減できる。さらに、積層ハードマスクを形成するための第1の上層膜の膜厚を第2の上層膜よりも厚く形成することで、第2の上層膜により形成するサイドウォールの寸法精度を高め、フローティングゲートの寸法精度を高めることが可能になる。特に、第1の上層膜の膜厚を第2の上層膜の膜厚の2倍以上とすることで、サイドウォールの寸法精度を極めて高いものにでき、フローティングゲートを極めて高精度に製造することが可能になる。

【図面の簡単な説明】

【図1】

本発明にかかる半導体記憶装置の回路図である。

【図2】

本発明にかかる半導体記憶装置の平面レイアウト図である。

【図3】

図 2 の A - A 線、B - B 線断面図である。

【図 4】

本発明の製造方法を説明するための工程断面図のその 1 である。

【図 5】

本発明の製造方法を説明するための工程断面図のその 2 である。

【図 6】

本発明の製造方法を説明するための工程断面図のその 3 である。

【図 7】

シリコン窒化膜の膜厚による作用効果を説明するための模式断面図である。

【図 8】

N S G 膜の膜厚による作用効果を説明するための模式断面図である。

【図 9】

従来の製造方法の工程断面図のその 1 である。

【図 1 0】

従来の製造方法の工程断面図のその 2 である。

【符号の説明】

- 1 0 0 シリコン基板
- 1 0 1 素子分離領域
- 1 0 2 素子形成領域
- 1 1 3 S T I
- 1 1 4 トンネル酸化膜
- 1 1 5 第 1 のポリシリコン膜
- 1 1 6 O N O 膜（容量絶縁膜）
- 1 1 7 第 2 のポリシリコン膜
- 1 1 8 層間絶縁膜
- 1 1 9 コンタクトプラグ
- 1 2 1 保護膜
- 1 2 2 シリコン窒化膜
- 1 2 3 第 1 の N S G 膜

1 2 4 フォトレジストパターン

1 2 5 第2のNSG膜

1 2 6 シリコン酸化膜

W ワード線

CG コントロールゲート

FG フローティングゲート

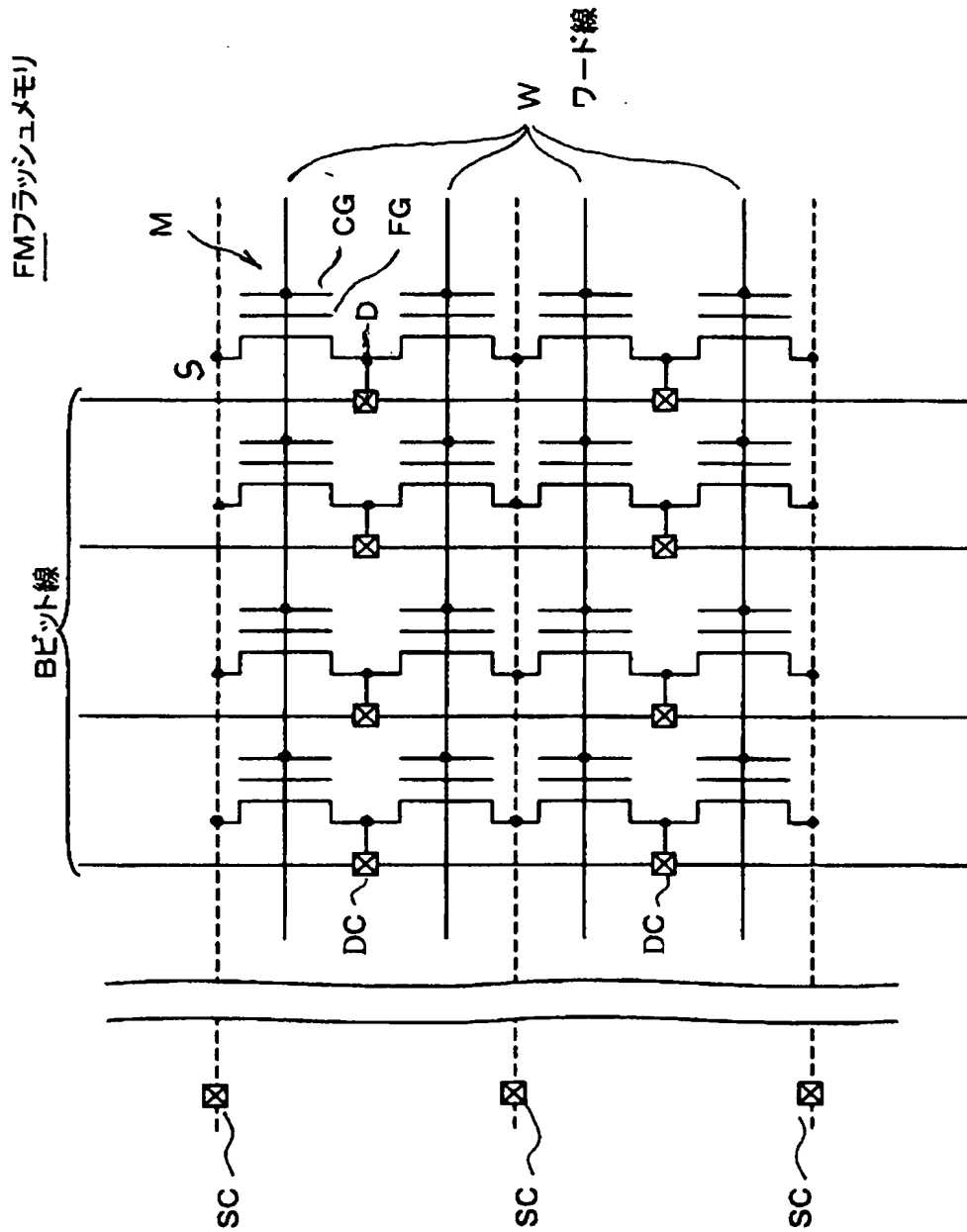
B ビット線

DC ドレインコンタクト

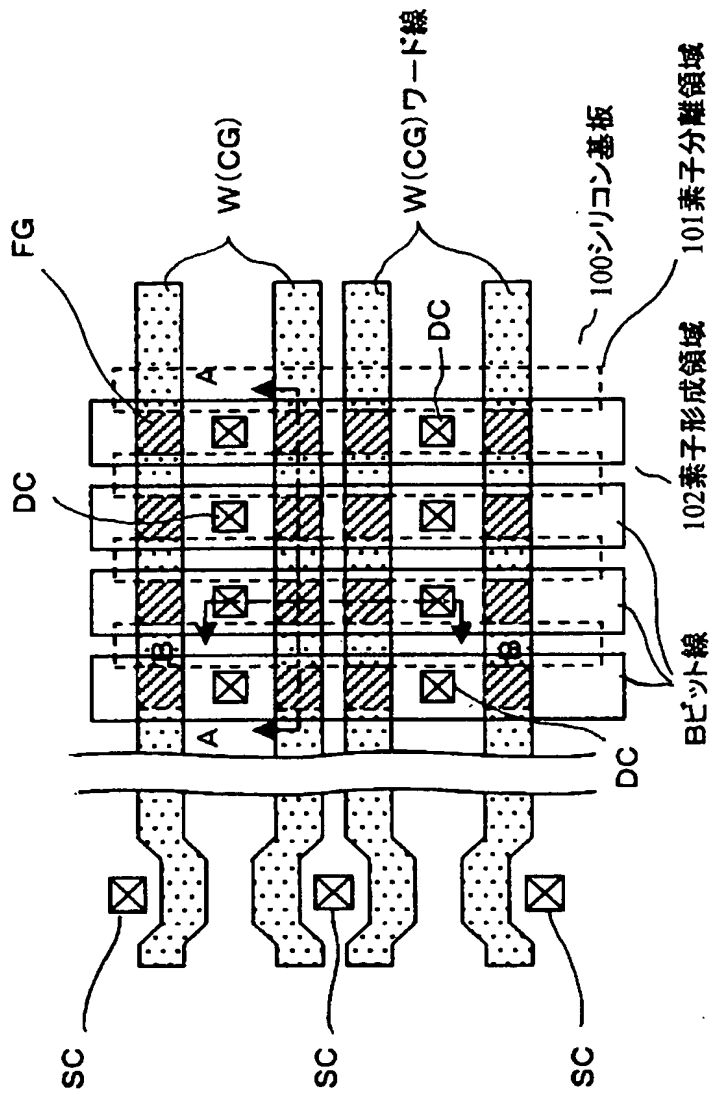
SC ソースコンタクト

【書類名】 図面

【図 1】

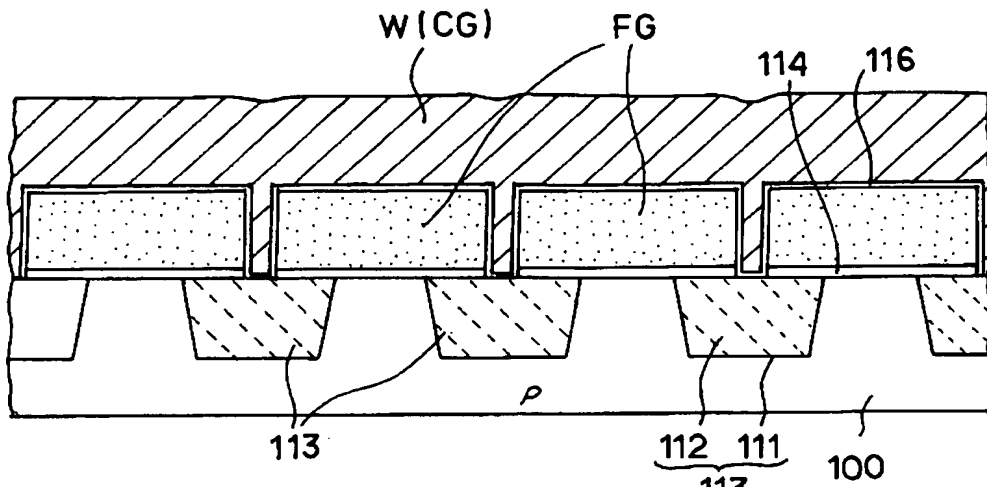


【図 2】

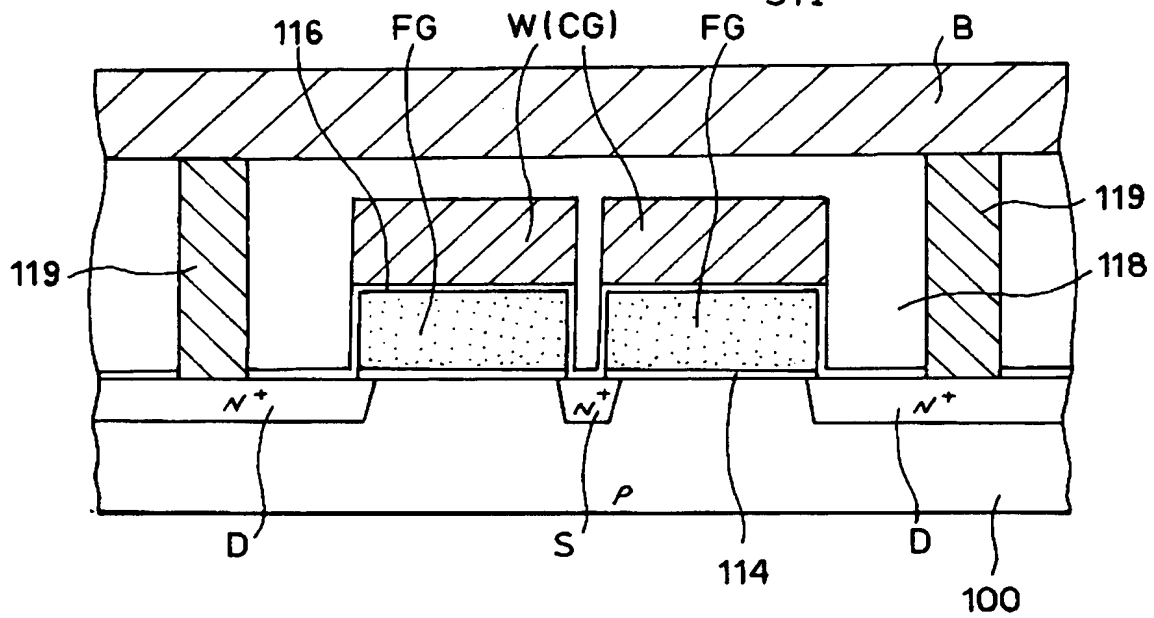


【図 3】

(a) A-A線断面

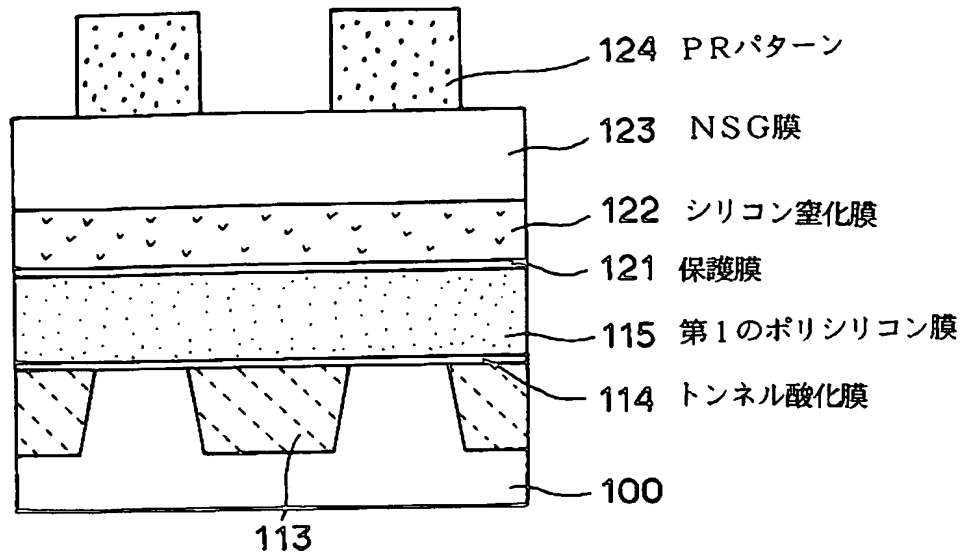


(b) B-B線断面

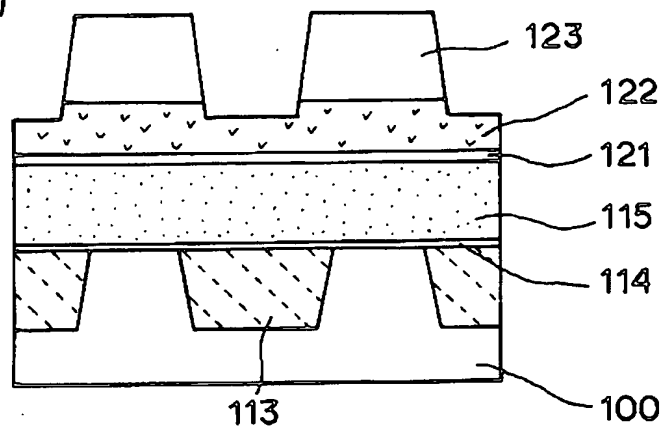


【図 4】

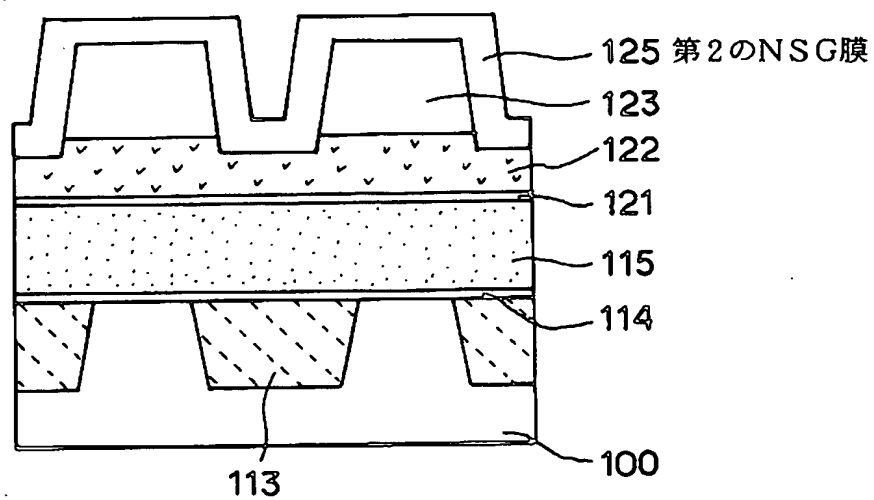
(a)



(b)

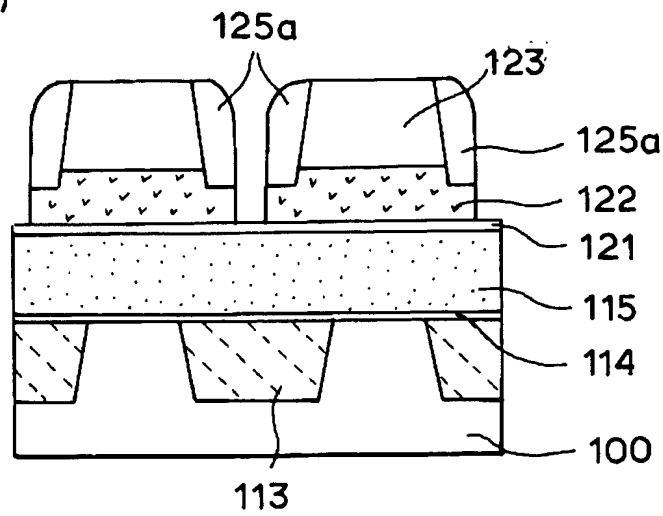


(c)

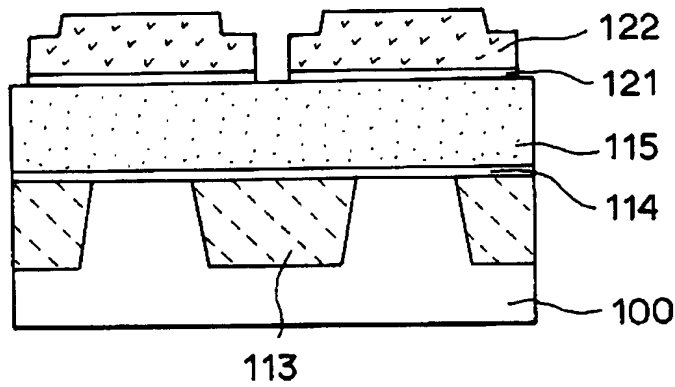


【図 5】

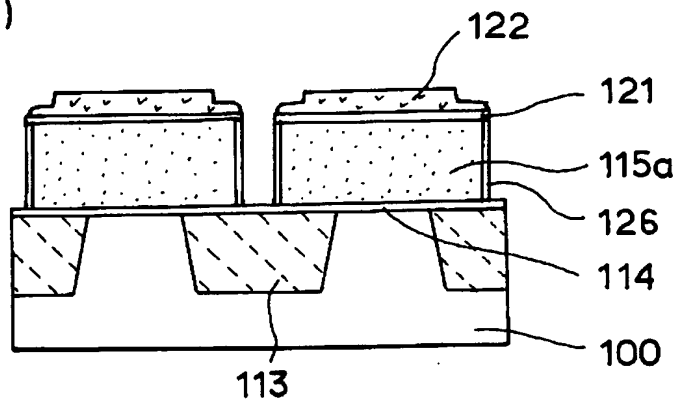
(a)



(b)

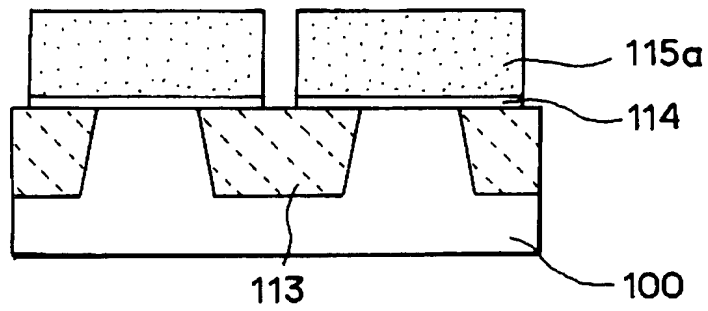


(c)

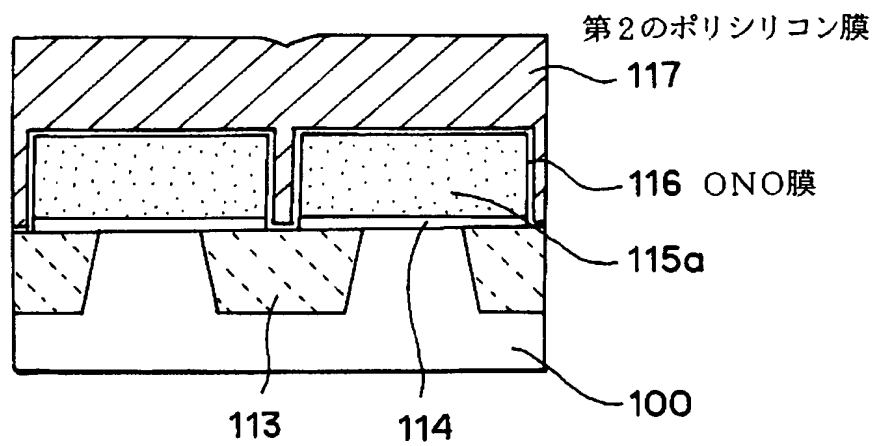


【図 6】

(a)

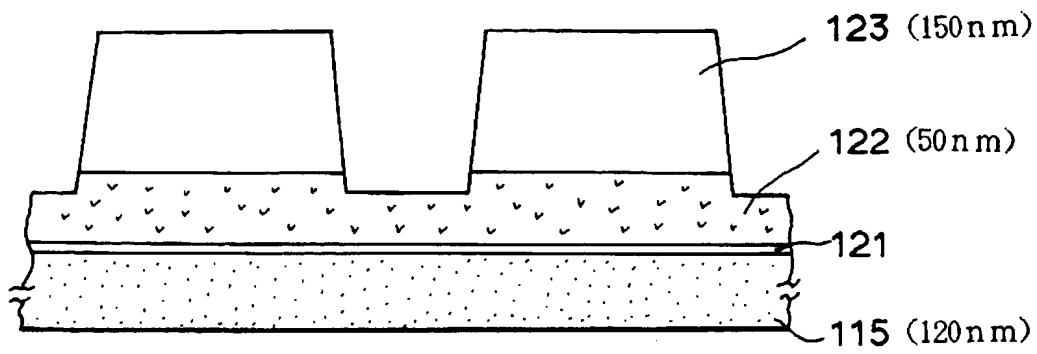


(b)

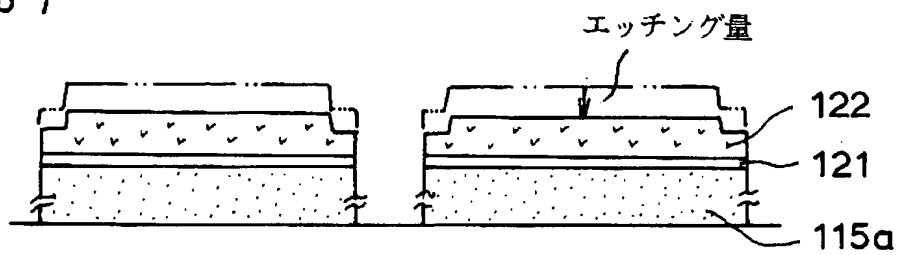


【図 7】

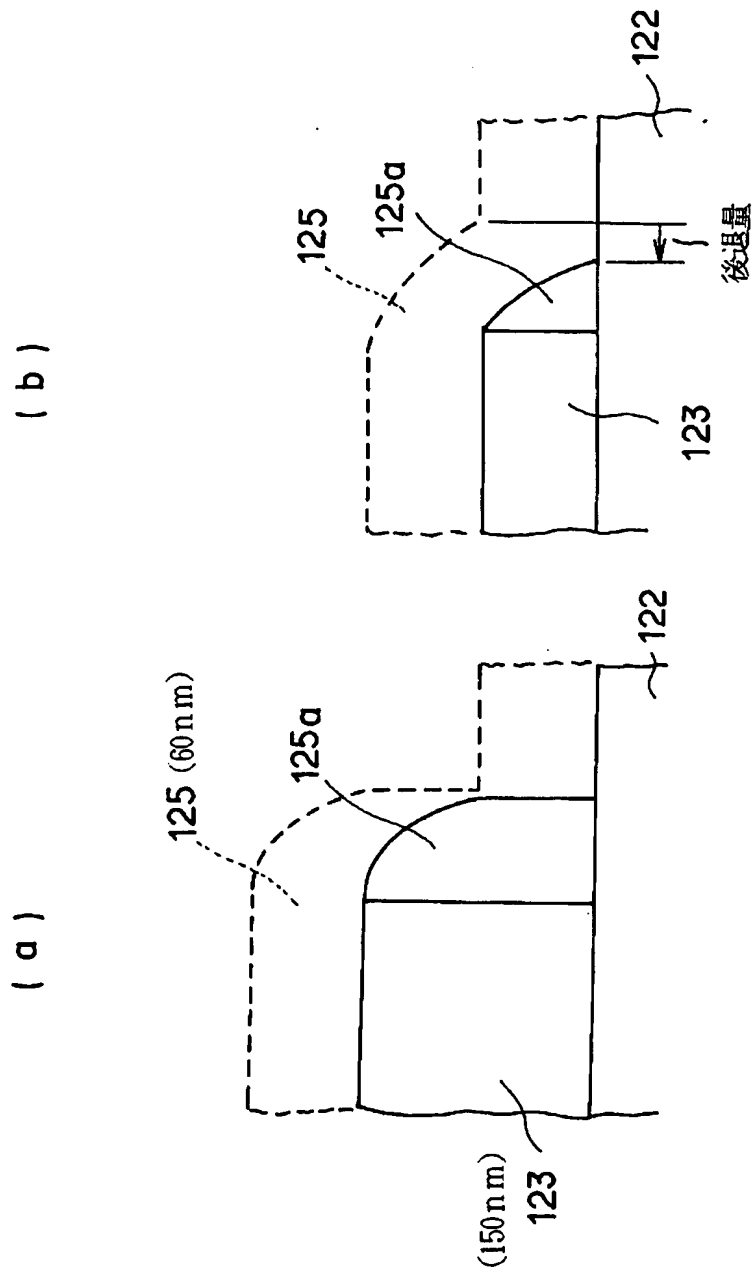
(a)



(b)

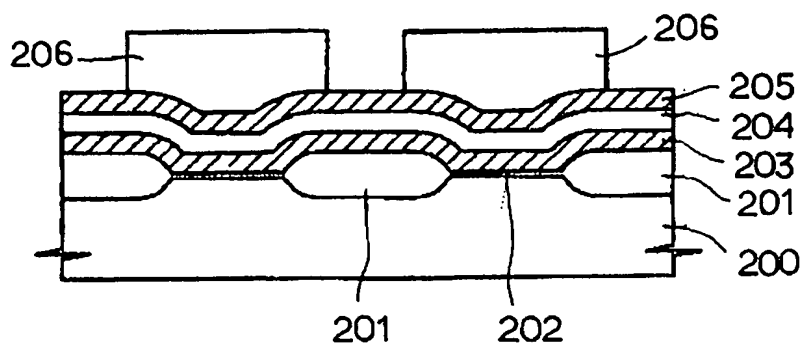


【図 8】

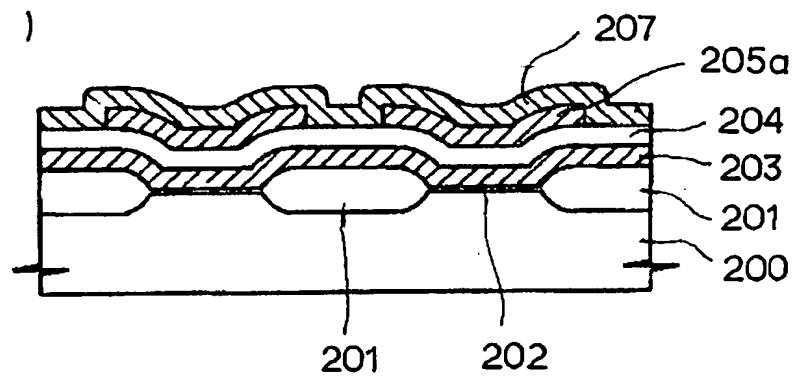


【図 9】

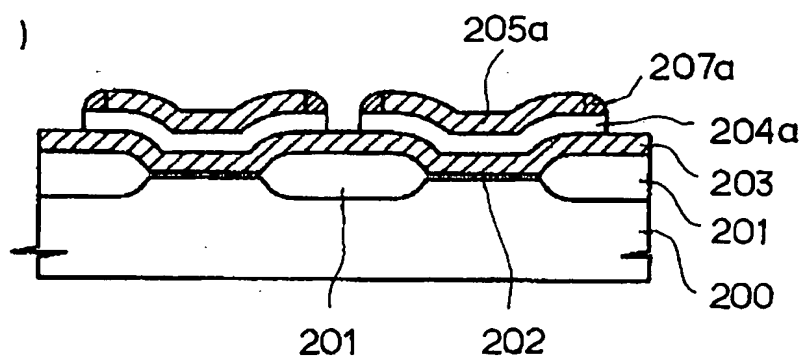
(a)



(b)

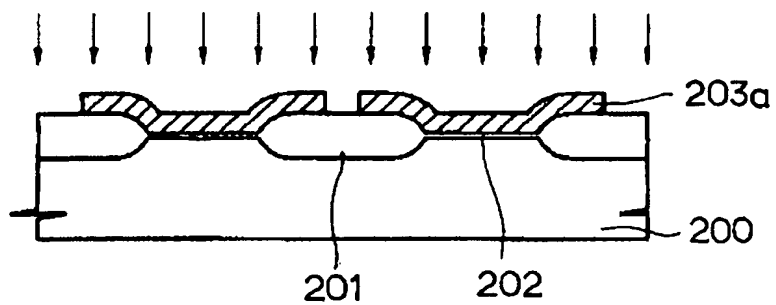


(c)

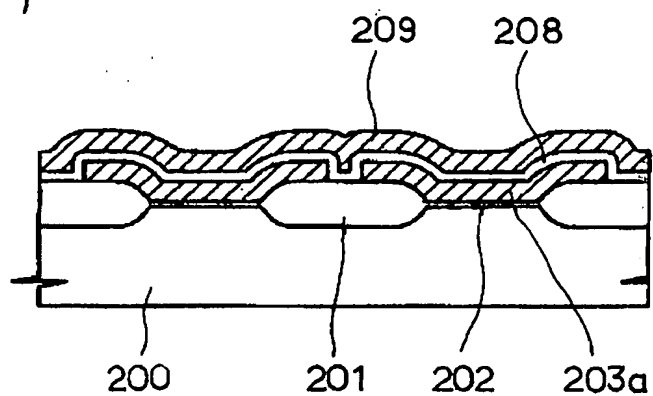


【図 10】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 ドープトポリシリコンを用いてフローティングゲートを形成する際のフローティングゲートの表面におけるダメージを防止する。

【解決手段】 フローティングゲート用に不純物を導入したシリコン膜 1 1 5、保護膜 1 2 1、積層ハードマスクのシリコン窒化膜 1 2 2、第 1 N S G 膜 1 2 3 を形成して所要のパターンに形成し、その上に第 2 の N S G 膜 1 2 5 を形成してサイドウォール 1 2 5 a として残し、これをマスクにしてシリコン窒化膜 1 2 2 をエッチングし、さらにこれをマスクにしてシリコン膜 1 1 5 をエッチングしてシリコンパターンを形成し、シリコンパターンの表面を第 2 の保護膜 1 2 6 で覆ってシリコン窒化膜 1 2 2 をエッチング除去する工程を含む。

【選択図】 図 5

特願 2 0 0 3 - 1 1 2 4 4 9

出 願 人 履 歴 情 報

識別番号 [3 0 2 0 6 2 9 3 1]

1. 変更年月日	2 0 0 2 年 1 1 月 1 日
[変更理由]	新規登録
住 所	神奈川県川崎市中原区下沼部 1 7 5 3 番地
氏 名	N E C エレクトロニクス株式会社